

DIALOG(R)File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

010747756      \*\*Image available\*\*

WPI Acc No: 1996-244711/ 199625

XRPX Acc No: N96-205379

Lateral DMOS mfr. method - by forming gate electrode on channel in D-well  
domain between source and drain

Patent Assignee: TEXAS INSTR INC (TEXI )

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No  | Kind | Date     | Applicat No | Kind | Date     | Week     |
|------------|------|----------|-------------|------|----------|----------|
| JP 8097410 | A    | 19960412 | JP 94151351 | A    | 19940701 | 199625 B |

Priority Applications (No Type Date): JP 94151351 A 19940701

Patent Details:

| Patent No  | Kind | Lan | Pg | Main IPC    | Filing Notes |
|------------|------|-----|----|-------------|--------------|
| JP 8097410 | A    |     | 7  | H01L-029/78 |              |

Abstract (Basic): JP 8097410 A

The method involves placing an insulated layer (24) e.g. field oxide on a semiconductor layer (14). A source window and a drain window are exposed on the surface. A D-well domain (20) is formed at the source window of the semiconductor layer.

The D-well adjoins the side wall at the periphery of the source window. A gate electrode (26) is formed on the channel in D-well between the source and the drain.

ADVANTAGE - Raises resistance characteristic and breakdown voltage with simplified composition.

Dwg.1/8

Title Terms: LATERAL; DMOS; MANUFACTURE; METHOD; FORMING; GATE; ELECTRODE;  
CHANNEL; WELL; DOMAIN; SOURCE; DRAIN

Derwent Class: U11; U12

International Patent Class (Main): H01L-029/78

File Segment: EPI

Manual Codes (EPI/S-X): U11-C18A3; U12-D02A9

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97410

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

3 0 1 D

審査請求 未請求 請求項の数1 OL (全7頁)

(21) 出願番号 特願平6-151351

(22) 出願日 平成6年(1994)7月1日

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 ウエイ ツング ヌグ

カナダ国オンタリオ, ソーンヒル, リンソ  
ンプ ドライブ 23

(72) 発明者 オウ - キョング クウォン

大韓民国ソウル, セオングドンク -  
ク, エウングボンク - ドング, ディー  
ルン アパートメント 8-202

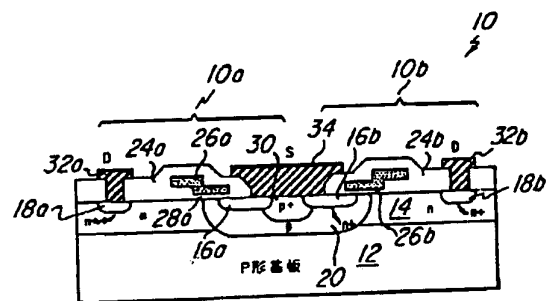
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 自己整合した横型DMOSTランジスタの製造法

(57) 【要約】 (修正有)

【目的】 最良のオン抵抗特性とブレイクダウン電圧とを有し、かつ、構成が単純で、かつ、多方面に応用可能な、自己整合した横型DMOSTランジスタの製造法を提供する。

【構成】 フィールド酸化物のような絶縁層24が、半導体層14の上に作成される。次に、ソース窓とドレイン窓を露出するために、この絶縁層がパターンに作成され、そして、半導体層のソース窓部分の中に、D-ウェル領域20が作成される。ソース窓の周縁の絶縁層の側壁に隣接して、側壁領域が作成され、そして、ソース領域16およびドレイン領域18が、例えばイオンを注入することにより、作成される。ソース領域と絶縁層との間のD-ウェル領域20の一部分の上と、ソースとドレインとの間のD-ウェルの中のチャンネル領域の上に、ゲート電極26が作成される。



## 【特許請求の範囲】

【請求項1】 第1導電形の半導体層を備える段階と、  
前記半導体層の上に絶縁層を作成する段階と、  
前記半導体層のソース窓部分を露出するために、およ  
び、前記半導体層のドレイン窓部分を露出するために、  
前記絶縁層をパターンに作成する段階と、  
前記半導体層の前記ソース窓部分の中に導電性不純物を  
添加することによりD-ウエル領域を作成する段階と、  
前記ソース窓部分のまわりの前記絶縁層の側壁に隣接  
して側壁領域を作成する段階と、  
前記半導体層の前記ソース窓部分の中にソース領域を作  
成する段階、および、前記半導体層の前記ドレイン窓部\*

シリアル番号

受付日

TIケース番号

08/031, 731 1993年3月15日 TI-15960

【0002】本発明は、全体的にいえば、半導体装置の  
製造に関する、さらに詳細にいえば、本発明は、自己整  
合した横型DMOSトランジスタの製造に関する。

## 【0003】

【従来の技術およびその問題点】 情報処理能力を有する  
将来の電力用ICは、アナログ機能およびVLSI論理  
装置を備えた、高密度電力用装置を必要とするであろ  
う。DMOSトランジスタは、高い電圧を扱うことがで  
きる電力用装置への応用において重要であろう。このよ  
うな装置の場合、良さの指数の1つは、単位面積当たり  
の電流処理能力、または、単位面積当たりのオン抵抗値  
である。電圧レートを与えられた場合、DMOS装置の  
セル面積領域を縮小することにより、単位面積当たりの  
オン抵抗値を小さくすることができる。

【0004】電力用トランジスタでは、多結晶シリコン  
(ポリシリコン)と、ゲート電極およびソース電極をそ  
れぞれ構成する接触体領域とを組み合わせる幅は、装置  
のセル・ピッチと呼ばれる。DMOS電力用トランジス  
タに対し、ポリシリコン領域の幅を小さくするための従  
来の技術は、P形ウエルの接合の深さを小さくすること  
である。けれども、接合の最小の深さは、要求されるブ  
レークダウン電圧により指定される。

【0005】従来の横型DMOS (LDMOS) 装置  
は、その構造が単純であるために、VLSI工程に組み  
込むのに十分に適している。けれども、LDMOS装置  
は、垂直型DMOS (VDMOS) 装置に比べて劣って  
いると考えられている。そのために、LDMOS装置は  
あまり注目されてこなかった。最近、RESURF (縮  
小された表面フィールド) LDMOS装置は、オン抵抗  
値 ( $R_{on}$ ) に関して良好な特性を有することが示され  
た。しかし、従来のLDMOS装置は、装置の構造が複  
雑で、かつ、多方面に用いられるという融通性が小さ  
く、ソース・アースの応用に限定されている。

## 【0006】

【問題点を解決するための手段】 6ボルトの横型DMO  
S (2重拡散金属・酸化物・半導体) トランジスタで

\* 分の中にドレイン領域を作成する段階と、

前記ソース領域と前記絶縁層との間の前記D-ウエル領  
域の一部分の上に、かつ、前記ソース領域と前記ドレ  
イン領域との間の前記D-ウエル領域の中のチャンネル領  
域の上に、ゲート電極を作成する段階と、を有する、D  
MOSトランジスタの製造法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

10 相互参照される関連出願

共通に譲渡された下記の特許出願の内容は、本発明の中  
に取り込まれている。

は、通常、最良の特定のオン抵抗特性を得るために、非  
常に小さなセル・ピッチが必要である。けれども、整合  
の許容度が異なるために、LDMOSトランジスタ・ス  
トリップは、わずかに異なる装置寸法を有することにな  
り、それは、特定のオン抵抗値およびブレークダウン電  
圧が異なることにつながる。この問題点は、セル・ピッ  
チが数ミクロン程度に過ぎない装置では、非常に顕著に  
なる。局所的なホット・スポットや早期のブレークダウ  
ンが、過渡期間中に起こることがある。下記において、  
隣接するトランジスタ・ストリップの間で対称性を保持  
することが可能で、かつ、前記問題点を有しない、自己  
整合したLDMOSが説明される。

【0007】その他の目的およびその他の利点は明らか  
であり、また、その一部分は下記説明により明らかにな  
るであろう。自己整合した横型DMOSトランジスタに  
対する製造法と装置が、本発明により得ることができ  
る。

【0008】LDMOSトランジスタの製造法が開示さ  
れる。半導体層が備えられる。この層は、P形基板の上  
に作成されたN形RESURFであることができる。こ  
の半導体層の上に、フィールド酸化物のような絶縁層が  
作成される。次に、ソース窓およびドレイン窓を露出す  
るために、この絶縁層がパターンに作成される。次に、  
半導体層のソース窓部分の中に、D-ウエル領域が作成  
される。側壁領域が、ソース窓の周縁の絶縁層の側壁に  
隣接して作成される。次に、ソース領域およびドレイン  
領域が、例えば、ヒ素イオンまたはリン・イオンを注入  
することにより作成される。ソース領域と絶縁層との間  
のD-ウエル領域の一部分の上に、ゲート電極が作成さ  
れる。ソース領域とドレイン領域との間のD-ウエルの  
中のチャンネル領域の上に、ゲート電極が作成される。

【0009】

【実施例】本発明の前記特徴は、添付図面を参照しての  
下記説明により、さらに明確に理解されるであろう。

【0010】好ましい実施例の製造法およびその利用法  
が、下記で詳細に説明される。けれども、本発明に含ま

れる概念は、多くの分野に応用することが可能であり、および、幅広い種々の具体的な状況の下で実施することができる。説明される具体的な実施例は、本発明の製造法およびその利用法を単に例示したものであって、本発明の範囲がそれらに限定されることを意味するものではない。

【0011】本発明の構造体および製造法を下記で説明する。好ましい実施例の構造体が、その変更構造体と共に、まず説明される。次に、その構造体の好ましい製造法が説明されるであろう。

【0012】図1は、好ましい実施例のトランジスタ装置10の図面である。装置10は、実際には、2個の横型2重拡散金属・酸化物・半導体トランジスタ10aおよび10bを有する。下記の説明は、トランジスタ10aおよび10bの両方に対し適用されるけれども、実際の説明は、一方に対してのみ行われるであろう。

【0013】トランジスタ装置は半導体基板12の上に作成される。半導体基板12は、単結晶シリコンであることが好ましい。けれども、他の半導体材料を用いることも可能であり、また、多結晶層12を用いることも可能である。基板12の上に、半導体層14が示されている。半導体層14は、基板12の上にエピタキシャル成長により作成された層14を有することができる、または、基板12の上に作成されたウエル（または、タブ）領域14（または、両方の組み合わせ体）を有することができる。好ましい実施例では、層14は、P形基板の上に作成されたN形RESURF（縮小された表面フィールド）のドリフト領域を有する。または、層14を省略し、そして、トランジスタ装置を基板12の中に直接に作成することもできる。また別の実施例では、基板12それ自身は、基板の上に作成された、または、基板の中に作成された、半導体層であることができ、または、SOI（シリコン・オン・絶縁体）技術のように、絶縁体層の上に作成された半導体層でさえあることができる。典型的には、しかし、必ずしもというわけではないが、層12および層14は反対の導電性を有する。例えば、図面に示されているように、基板12はP形不純物が添加された基板であることができ、そして、層14はN形不純物が添加された層であることができる。

【0014】本発明の電界効果トランジスタは、ソース領域16とドレイン領域18とを有する。説明を簡単にするために、Nチャンネル・トランジスタのみが詳細に説明されるであろう。けれども、本発明の概念は、Nチャンネル装置とPチャンネル装置との両方に適用することができる。

【0015】N形不純物が添加されたソース領域16が、P形不純物が添加されたウエル領域20の中に作成される。ウエル領域20は、D-ウエルと呼ばれることが多い。D-ウエル領域20は、図面に示されているように、層14を貫通しそして基板12の中にまで延長す

ることができる、または、領域20は、層14の中を完全に占めることができる。

【0016】ドレイン領域18は、フィールド絶縁領域24の他の端部に隣接して配置される。好ましい実施例では、フィールド絶縁領域24は、例えば、熱的に成長された二酸化シリコンのようなフィールド酸化物で構成される。

【0017】図面には示されていないけれども、またP形不純物が添加された浅い延長領域を、P形不純物が添加されたD-ウエル領域20に隣接して備えることができる。この浅い延長領域（図面には示されていない）は、典型的には、D-ウエル領域20からフィールド絶縁領域24の第1端部まで延長されるであろう。浅い延長領域を有する実施例は、同時出願のシリアル番号第08/031,731号の出願中特許に開示されている。

【0018】層14の表面の上に、ゲート電極26が作成される。図面に示された実施例では、ゲート26は、ソース16の一部分の上からフィールド絶縁領域24の一部分の上にまで延長される。好ましい実施例では、このゲート電極は、不純物が添加されたシリコン（通常は多結晶体であるが、アモルファス体であることもでき、または、単結晶体であることさえできる）で構成される。金属またはシリサイドを含む他の導電材料を、また用いることができる。

【0019】ゲート26は、ゲート誘電体28により、層14の表面から分離される。ゲート誘電体28は、酸化物、または、窒化物、または、これら両者の組み合わせ体（例えば、積層されたNO層またはONO層）で構成することができる。

【0020】ゲート電極26の側壁の上に、側壁絶縁領域（図面には示されていない）が作成される。これらの側壁領域は、典型的には、二酸化シリコンのような酸化物材料、または、窒化シリコンのような窒化物材料で構成される。

【0021】図1にはまた、さらに多量の不純物が添加された体積領域30が示されている。体積領域30により、D-ウエル領域20との良好な接触を得ることができる。体積領域30は、典型的には、D-ウエル領域20よりもさらに多量の不純物が添加された領域である。

【0022】トランジスタ装置の中に、ソース/ドレイン接触体32、34、および、36が備えられる。ソース/ドレイン領域16および18を回路の他の部品とを電気的に接続することが、接触体32、34、および、36により得られる。接触体32、34、および、36は導電材料で作成される。この導電材料は、典型的には、アルミニウム、銅、または、金のような金属であることができる。不純物が添加されたポリシリコン、または、チタン・シリサイドまたはタングステン・シリサイドのようなシリサイド、といった他の材料をまた用いることができる。

【0023】図面に示された実施例では、トランジスタ10aおよびトランジスタ10bの両方のソース領域16に対し、1個の接触体34が用いられる。別の実施例では、もしソース領域のおのおのを回路の異なる部品に接続することが必要ならば、2個の別々の接触体が用いられることが可能である。

【0024】トランジスタ装置10を製造する好ましい方法を、図2から図8までの図面を参照して説明する。

【0025】図2に示されているように、基板12が用意され、そして、その上に半導体層14が備えられる。前記で説明したように、基板の構成は本発明にとってそれほど重要ではない。この基板は、半導体層、または、エピタクシャルに沈着された層の中に作成された、または、単結晶基板の中に作成された、ウェル領域を有することができる。図面に示された実施例では、P形不純物が添加された基板12の上に、N形不純物が添加された層14が作成される。例えば、基板12は約10Ωcmないし20Ωcmの基板で構成され、そして、その中にN形不純物が拡散により添加されたウェル領域14が7μmの深さに作成される。

【0026】半導体層14の上に、フィールド絶縁層24が作成される。フィールド絶縁層24は、典型的には、二酸化シリコンのような酸化物で構成される。フィールド絶縁層24は、熱的成長で作成することができる、または、例えば化学蒸気沈着法による沈着によって作成することができる。

【0027】次に、図3に示されているように、絶縁領域24がパターンに作成され、それにより、ドレイン窓38およびソース窓40がそれぞれ定められる。好ましい実施例では、この段階は、同じ間隔が確実に得られるように、1個のマスクを用いて実行される。

【0028】図4に示されているように、マスク層42は、典型的には、フォトリソグロフ・マスク層を用いることができる。次に、添加不純物44が層44の中に注入され、それにより、D-ウェル20が作成される。ホウ素はP形ウェルのための好ましい不純物であるが、アルミニウムまたはガリウムのような他の不純物を用いることもできる。拡散のような他の不純物添加法を用いることもできる。P形ウェルの接合の深さを増加するために、高温駆動侵入段階を用いることができる。作成されたD-ウェル20が、図5に示されている。

【0029】D-ウェル20が作成された後、薄い絶縁層46が作成される。薄い絶縁層46は、Si<sub>3</sub>N<sub>4</sub>のような窒化物で作成されることが好ましい。次に、絶縁領域24の側壁のおのおのの上に、側壁絶縁領域48が作成される。側壁絶縁領域48は、典型的には、酸化物であり、そして、TEDS（テトラエソキシシラン）法を用いて作成することができる。または、この側壁領域は窒化物で構成されることもできる。窒化物層46は、

酸化物側壁領域48の作成の期間中、エッチングに対するマスクの役割を果たす。

【0030】図6に示されているように、窒化物層46の露出された部分（すなわち、側壁領域48の下にない部分）は、ここで除去することができる。

【0031】次の段階は、ソース領域16およびドレイン領域18を作成する段階である。好ましい実施例では、N形不純物が、参照番号50の矢印で示されたように、注入される。好ましい添加不純物はヒ素であるが、リン、または、アンチモン、のような他の添加不純物を用いることもできる。ソース領域16およびドレイン領域18が、図7に示されている。

【0032】N+ソースおよびドレイン注入の前に、薄い絶縁層46の上に作成された側壁領域48は、装置に、自己整合したさらに長いMOSチャンネルを与える。したがって、先行技術に付随する長い高温侵入時間を避けることができる。この特徴により、本発明の工程は、従来のVLSI技術とさらに良く両立しうる工程となる。

【0033】再び図7において、側壁領域48が除去される。体積接触体領域30のための窓を露出するために、この装置の上にマスク層52が作成される。参照番号54の矢印で示されているように、D-ウェル20の中に体積接触体不純物が注入される。好ましい実施例では、ホウ素イオンが注入されるが、前記で説明したように、他の不純物を用いた注入を行うこともできる。

【0034】P+形ホウ素注入の後、ゲート誘電体窓（図面には示されていない）が定められる。ゲート誘電体は、典型的には、酸化物であり、そして、熱的酸化により作成されることが好ましい。または、ゲート酸化物28を沈着することができる。

【0035】次に、このゲート構造体の上に、ゲート層が作成される。その後、このゲート層がパターンに作成され、そして、エッチングされ、それにより、図8に示されているようなゲート電極が作成される。好ましい実施例では、ゲート電極は、不純物が添加されたポリシリコン（多結晶シリコンまたはアモルファス・シリコンを用いることができる）で構成される。好ましい作成法は、例えば、化学蒸気沈着法を用いて、沈着を行う方法である。ポリシリコン・ゲート26に対し、それが作成されるのと同時に不純物添加を行うことができる、または、それが作成された後に不純物添加を行うことができる。この不純物添加は、例えば、注入または拡散で行うことができる。または、ゲートに対し、他の導電材料を用いることができる。これらの材料としては、アルミニウムのような金属、または、チタン・シリサイドまたはタングステン・シリサイドのようなシリサイド、を用いることが可能である。

【0036】最後に、図1に示された構造体を完成するために、接触体領域32、34、および、36を作成す

る際、メタライゼーション工程を用いることができる。この装置の上に、二酸化シリコンのような絶縁層が作成される。次に、接触体用ホールがこの絶縁層の中にエッチングで作成され、そして、この装置10と集積回路の上の他の装置と電気的接続を行うために、導電性接触体および相互接続線が作成される。

【0037】本発明は例示された実施例に関して説明されたけれども、前記説明は、本発明がこれらの実施例に限定されることを意味するものではない。前記説明を参照すれば、本発明の他の実施例、および、例示された実施例を種々に変更した実施例、および、それらを種々に組み合わせた実施例の可能であることは、当業者にはすぐに理解されるであろう。したがって、本発明はこのような変更実施例をすべて包含するものである。

【0038】以上の説明に関して更に以下の項を開示する。

(1) 第1導電形の半導体層を備える段階と、前記半導体層の上に絶縁層を作成する段階と、前記半導体層のソース窓部分を露出するために、および、前記半導体層のドレイン窓部分を露出するために、前記絶縁層をパターンに作成する段階と、前記半導体層の前記ソース窓部分の中に導電性不純物を添加することによりD-ウエル領域を作成する段階と、前記ソース窓部分のまわりの前記絶縁層の側壁に隣接して側壁領域を作成する段階と、前記半導体層の前記ソース窓部分の中にソース領域を作成する段階、および、前記半導体層の前記ドレイン窓部分の中にドレイン領域を作成する段階と、前記ソース領域と前記絶縁層との間の前記D-ウエル領域の一部分の上に、かつ、前記ソース領域と前記ドレイン領域との間の前記D-ウエル領域の中のチャンネル領域の上に、ゲート電極を作成する段階と、を有する、DMOSトランジスタの製造法。

【0039】(2) 第1項記載の製造法において、前記第1導電形の前記半導体層がN形不純物が添加されたシリコン層である、前記製造法。

(3) 第1項記載の製造法において、前記半導体層がP形基板の上に作成されたN形層である、前記製造法。

(4) 第1項記載の製造法において、前記絶縁層がフィールド酸化物である、前記製造法。

(5) 第4項記載の製造法において、前記基板がシリコンであり、かつ、前記フィールド酸化物を作成する前記段階が熱的に成長する二酸化シリコンである、前記製造法。

【0040】(6) 第1項記載の製造法において、前記絶縁層をパターンに作成する前記段階が1個のマスクで実行される、前記製造法。

(7) 第1項記載の製造法において、前記D-ウエルを作成する前記段階が前記半導体層の中に導電性不純物を注入する段階である、前記製造法。

(8) 第7項記載の製造法において、前記導電性不純

物がホウ素である、前記製造法。

(9) 第1項記載の製造法において、側壁領域を作成する前記段階が前記ドレイン窓の周縁に前記絶縁層の側壁に隣接して第2側壁領域を作成する段階をさらに有する、前記製造法。

【0041】(10) 第1項記載の製造法において、前記側壁を作成する前に前記絶縁層と前記ソース窓と前記ドレイン窓との上に薄い絶縁層を作成する段階をさらに有する、前記製造法。

(11) 第10項記載の製造法において、前記薄い絶縁層が窒化物層を有し、かつ、前記絶縁層および前記側壁領域が酸化物領域を有する、前記製造法。

(12) 第1項記載の製造法において、前記側壁領域がテトラエソキシシランで作成される、前記製造法。

(13) 第1項記載の製造法において、ソース領域およびドレイン領域を作成する前記段階がN形不純物を注入する段階を有する、前記製造法。

(14) 第1項記載の製造法において、前記N形不純物がヒ素イオンまたはリン・イオンである、前記製造法。

【0042】(15) 第1項記載の製造法において、前記ゲート電極が不純物添加されたシリコンで作成される、前記製造法。

(16) 第1項記載の製造法において、ゲート電極を作成する前記段階がシリコンを沈着する段階を有する、前記製造法。

(17) 第1項記載の製造法において、前記ゲート電極がその場で不純物添加される、前記製造法。

(18) 第1項記載の製造法において、前記ソース領域の上にソース接触体を作成する段階と、前記ドレイン領域の上にドレイン接触体を作成する段階とをさらに有する、前記製造法。

(19) 第1項記載の製造法において、前記ソース領域に隣接した前記D-ウエル領域の中に体積接触体領域を作成する段階さらに有する、前記製造法。

【0043】(20) P形基板の上に作成されたN形シリコン層を備える段階と、前記N形層の上にフィールド酸化物層を作成する段階と、前記半導体層のソース窓部分を露出するために、かつ、前記半導体層のドレイン窓部分を露出するために、前記フィールド酸化物層をパターンに作成する段階と、P形D-ウエルを作成するために前記N形層の前記ソース窓部分の中にホウ素を注入する段階と、前記フィールド酸化物層と前記ソース窓と前記ドレイン窓との上に窒化物層を作成する段階と、次に、前記ソース窓の周縁の前記フィールド酸化物の側壁に隣接して側壁酸化物を作成する段階と、次に、前記シリコン層の前記ソース窓部分の中にソース領域を作成するために、および、前記シリコン層の前記ドレイン窓部分の中にドレイン領域を作成するために、N形不純物を注入する段階と、前記ソース領域が前記D-ウエルの中

に作成されることと、前記ソース領域と前記フィールド酸化物との間の前記D-ウエル領域の一部分の上にゲート電極を作成する段階と、前記ゲート電極が前記ソース領域と前記ドレイン領域との間の前記D-ウエルの中のチャンネルの上に作成されることと、を有する、横型D-MOSトランジスタ装置の製造法。

【0044】(21) 第1項記載の製造法において、側壁領域を作成する前記段階が前記D-ウエル領域を作成する段階の後に実行され、かつ、ソース領域を作成する前記段階が前記側壁領域を作成する段階の後に実行される、前記製造法。

(22) LDMOSトランジスタ装置10の製造法が開示される。半導体層14が備えられる。層14は、P形基板12の上に作成されたN形RESURF領域であることができる。フィールド酸化物のような絶縁層24が、半導体層14の上に作成される。次に、ソース窓とドレイン窓を露出するために、絶縁層24がパターンに作成される。次に、前記半導体層の前記ソース窓部分の中に、D-ウエル領域20が作成される。前記ソース窓の周縁の前記絶縁層の側壁に隣接して、側壁領域が作成される。次に、ソース領域16およびドレイン領域18が、例えば、ヒ素イオンまたはリン・イオンを注入することにより、作成される。前記ソース領域16と前記絶縁層24との間の前記D-ウエル領域20の一部分の上に、ゲート電極26が作成される。前記ゲート電極26は、前記ソース16と前記ドレイン18との間の前記D-ウエル20の中のチャンネル領域の上に作成される。

【図面の簡単な説明】

【図1】LDMOSトランジスタの好ましい実施例の横断面図。

【図2】図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

【図3】図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

【図4】図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

【図5】図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

【図6】図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

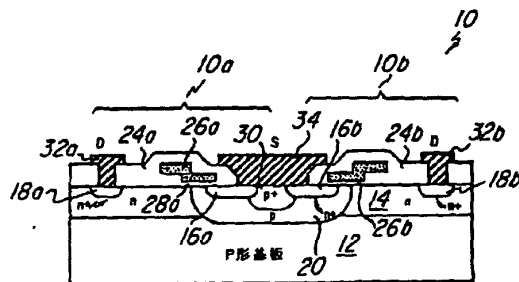
【図7】図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

【図8】図1のトランジスタを製造する順次の段階における前記トランジスタの横断面図。

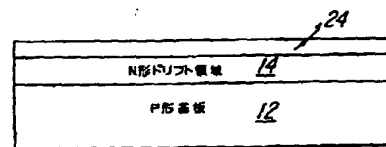
【符号の説明】

- 12 半導体基板
- 14 半導体層
- 16 ソース領域
- 18 ドレイン領域
- 20 D-ウエル領域
- 24 絶縁層
- 26 ゲート電極
- 28 ゲート誘電体
- 32、34、36 接触体

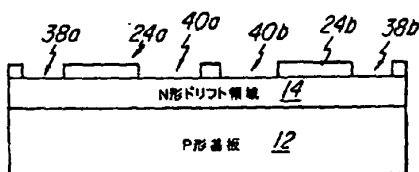
【図1】



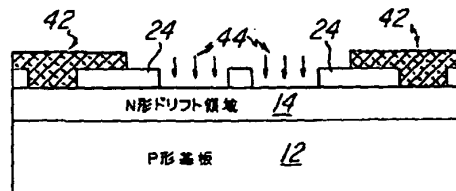
【図2】



【図3】

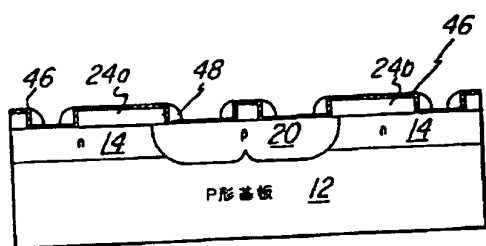


【図4】

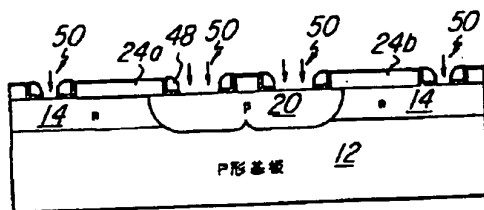


(7)

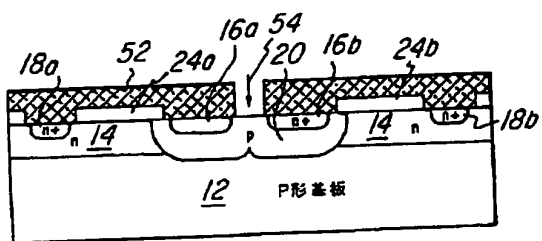
【図5】



【図6】



【図7】



【図8】

